

高速小型DSPの電源ラインノイズ対策 アプリケーションのご紹介

株式会社村田製作所
コンポーネント事業本部
EMI事業部商品開発部
開発2課

1. 背景
2. 電源ラインノイズ対策手法の基本原理
3. 電源ライン周辺のインピーダンスの概算
4. 電源ライン評価基板の紹介
5. リップル電圧の評価結果
6. 電源ラインノイズの評価結果
7. ビアホールของインピーダンス低減方法
8. まとめ ～電源ラインノイズを低減するレイアウトの提案～

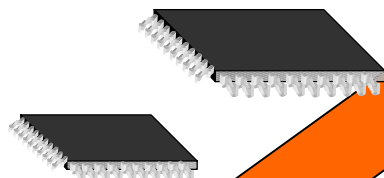
補足：3端子コンデンサの利点

1. 背景

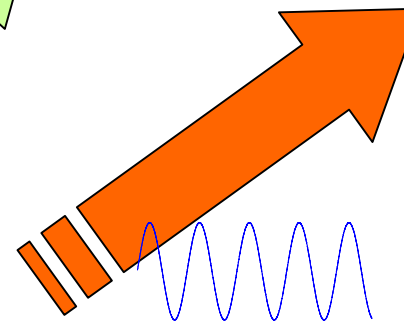
問題点①
ノイズの増加

多機能・高集積化

高周波化



現在



低マージン

省電力・低電圧

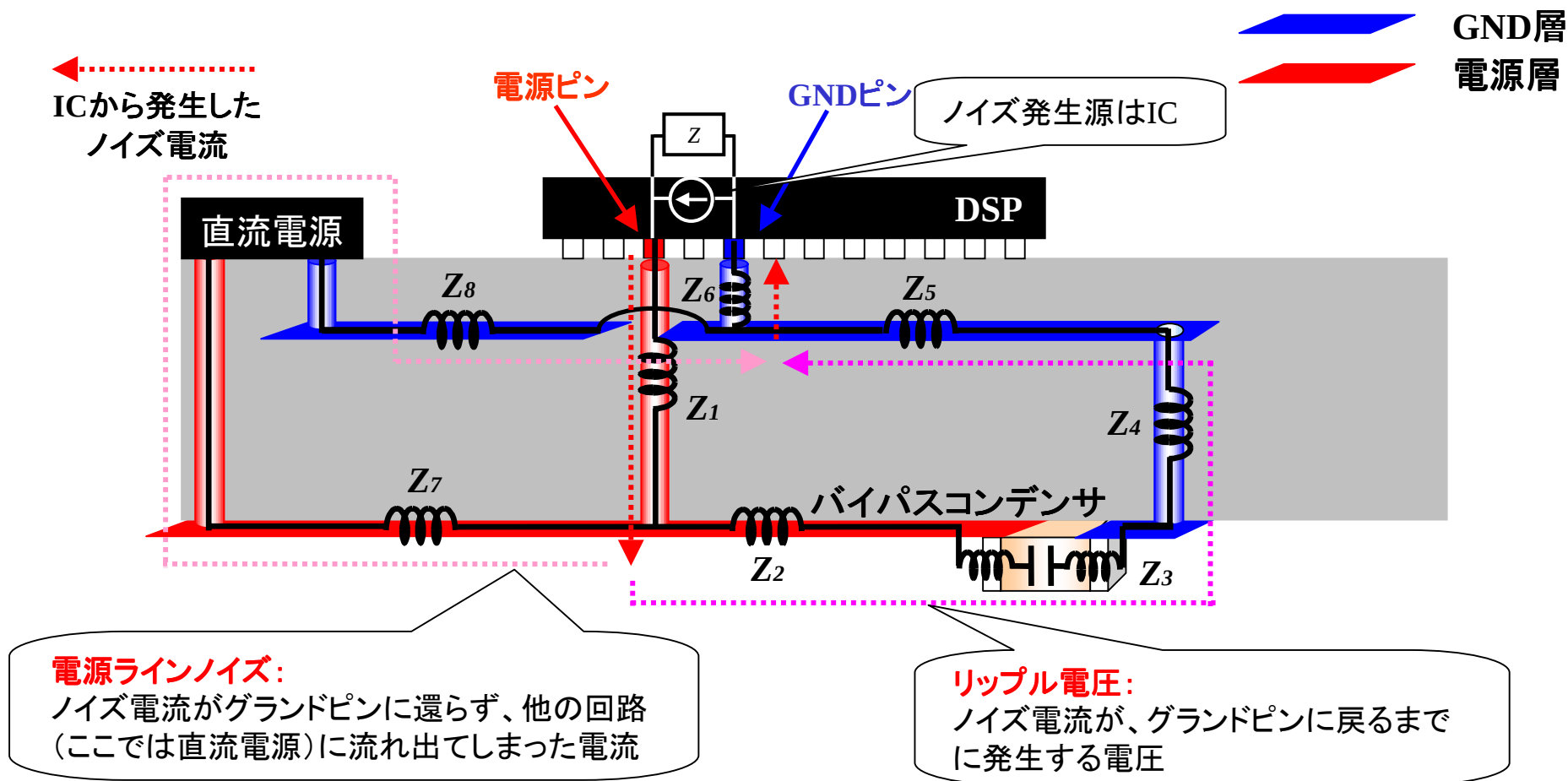
問題点②
ノイズ対策が高度に

小型・高密度化・BGA化

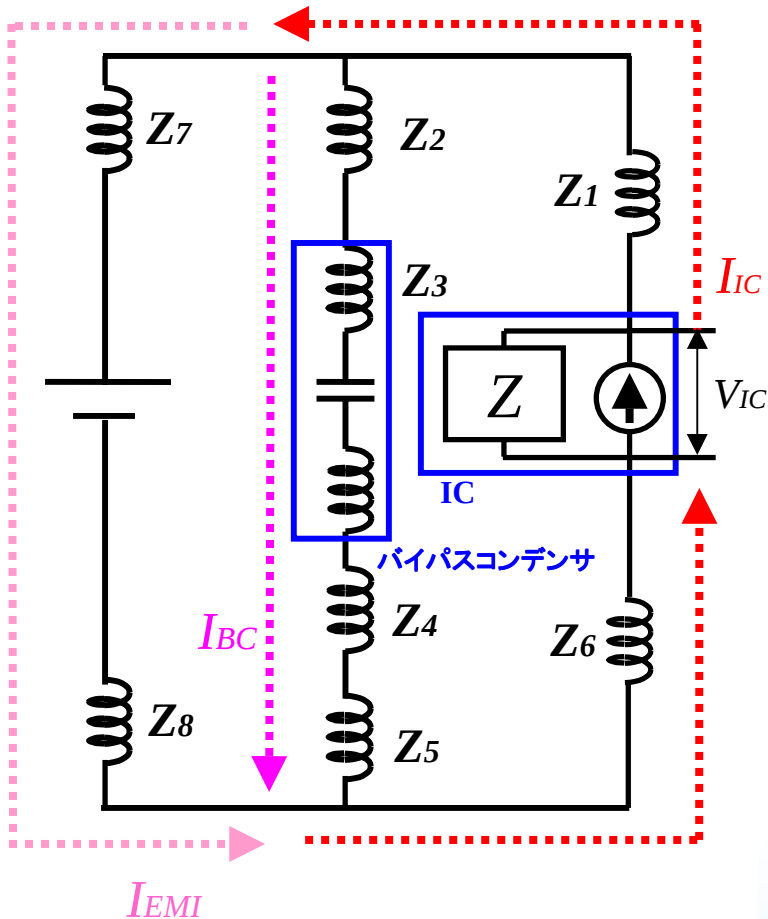
- **DSPの電源ラインノイズ対策手法の基本原理**
 - ・電源ラインノイズ、リップル電圧発生原理
 - ・電源ラインノイズ、リップル電圧抑制方法

- DSPの電源ラインノイズ対策手法の基本原理
～電源ラインノイズ、リップル電圧発生原理～

バイパスコンデンサを裏面に実装した場合の例



- DSPの電源ラインノイズ対策手法の基本原理
～電源ラインノイズ、リップル電圧抑制方法～



DSP電源ラインの等価回路

電源ラインノイズ I_{EMI} の抑制方法

$$I_{EMI} = I_{IC} \times \left(\frac{G_{EMI}}{G_{BC} + G_{EMI}} \right)$$

$$G_{BC} = \frac{1}{(Z_2 + Z_3 + Z_4 + Z_5)}, G_{EMI} = \frac{1}{(Z_7 + Z_8)}$$

電流が分流して合流するまでのインピーダンスの比により I_{EMI} の大きさが決まります。したがって、

$G_{BC} \gg G_{EMI}$ とすることで I_{EMI} を抑えることができます

リップル電圧 V_{IC} の抑制方法

$$V_{IC} = I_{EMI} \times (Z_1 + Z_6) + I_{BC} \times \sum_{i=1}^6 Z_i$$

$\sum Z_i (i=1 \sim 6)$ を小さくすることで V_{IC} を低くすることができます

I_{IC} : ICから発生したノイズ電流

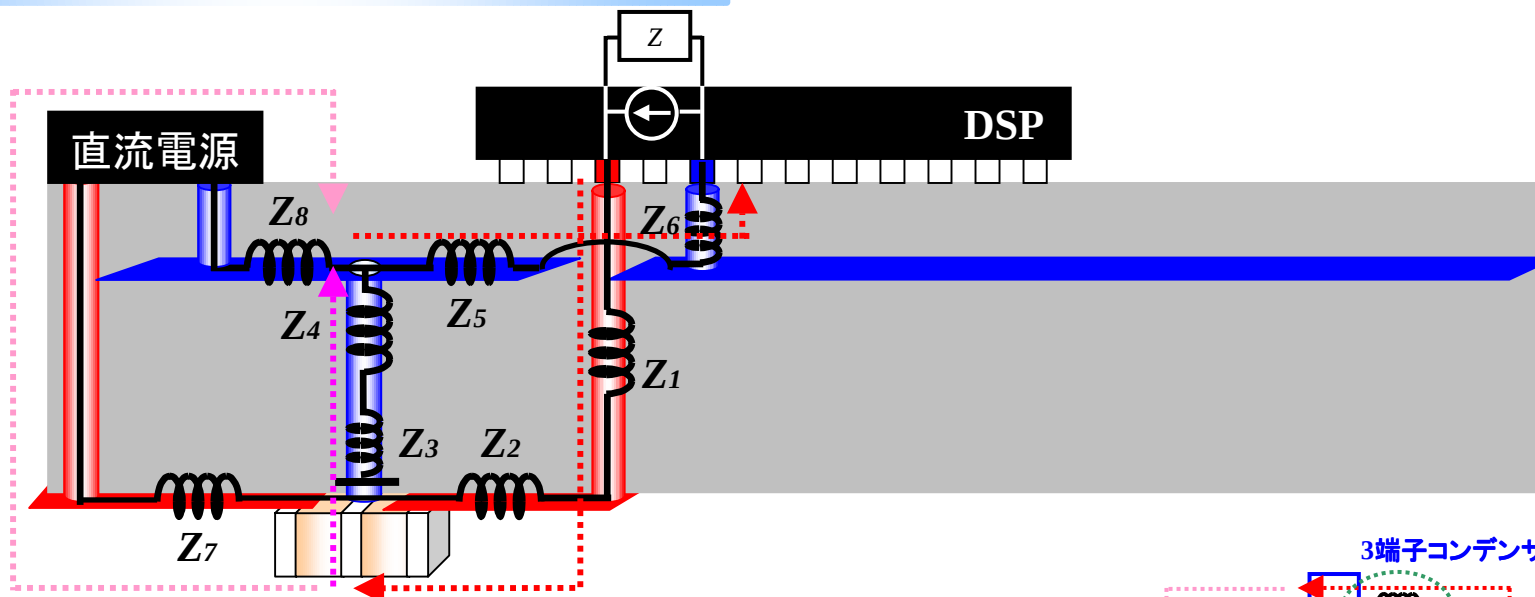
I_{BC} : バイパスコンデンサを經由しICのグランドに戻る電流

I_{EMI} : 他の回路を經由しICのグランドに戻る電流(電源ラインノイズ)

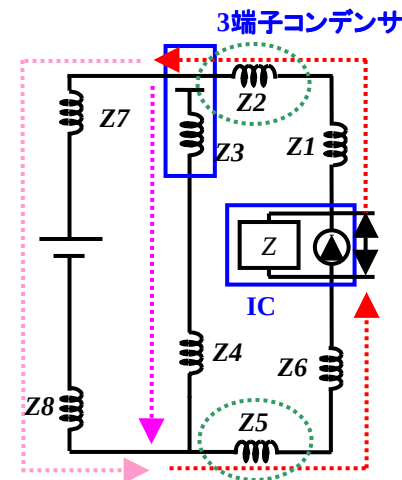
V_{IC} : リップル電圧

- DSPの電源ラインノイズ対策手法の基本原理
～3端子コンデンサを使った電源ラインノイズ、リップル電圧抑制方法～

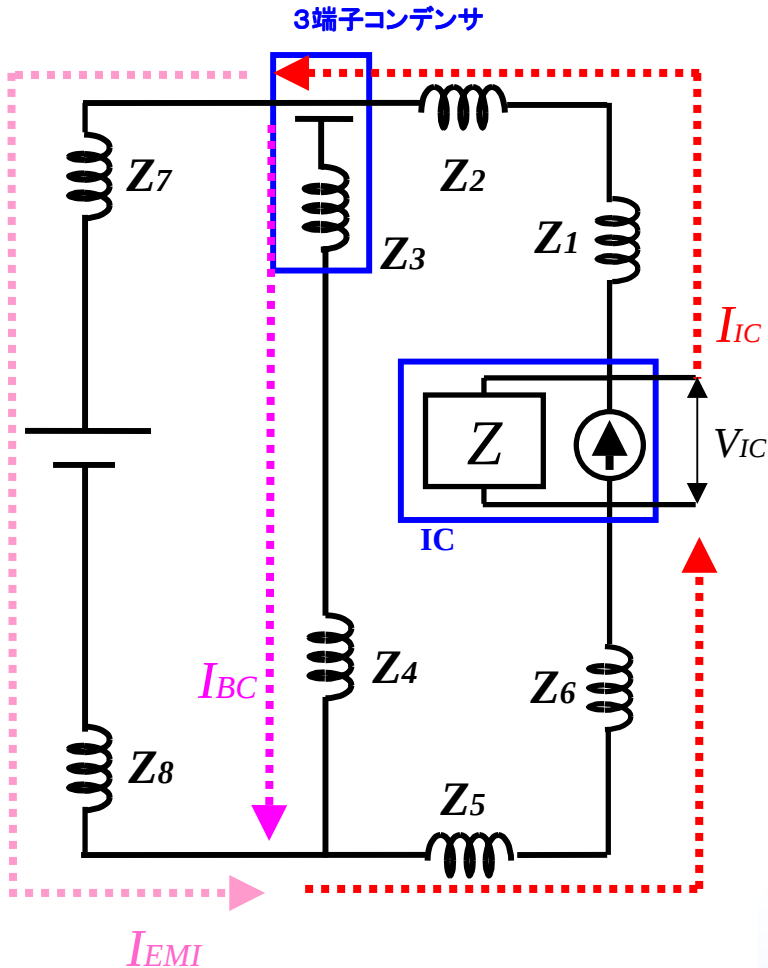
3端子コンデンサを裏面に実装した場合の例



電源ラインを切り離し3端子コンデンサを介して接続することで電流が分流して合流するまでのインピーダンスに Z_2 と Z_5 が含まなくなる
(ノイズ電流が他の回路に流れるためには必ず3端子コンデンサを経由しなければならなくなります)



- DSPの電源ラインノイズ対策手法の基本原理
～3端子コンデンサを使った電源ラインノイズ、リップル電圧抑制方法～



DSP電源ラインの等価回路

3端子コンデンサを使った電源ラインノイズ I_{EMI} の抑制

$$I_{EMI} = I_{IC} \times \left(\frac{G_{EMI}}{G_{BC} + G_{EMI}} \right)$$

$$G_{BC} = \frac{1}{(Z_3 + Z_4)}, G_{EMI} = \frac{1}{(Z_7 + Z_8)}$$

電流が分流して合流するまでのインピーダンスから Z_2 、 Z_5 がなくなります
また、 Z_3 も2端子コンデンサより小さいため G_{BC} が大きくなります

3端子コンデンサを使ったリップル電圧 V_{IC} の抑制

$$V_{IC} = I_{EMI} \times (Z_1 + Z_6) + I_{BC} \times \sum_{i=1}^6 Z_i$$

バイパスコンデンサのインピーダンス Z_3 が小さくなる
ためリップル電圧は小さくなります

I_{IC} : ICから発生したノイズ電流

I_{BC} : バイパスコンデンサを經由しICのグランドに戻る電流

I_{EMI} : 他の回路を經由しICのグランドに戻る電流(電源ラインノイズ)

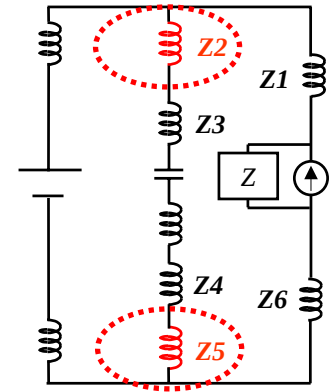
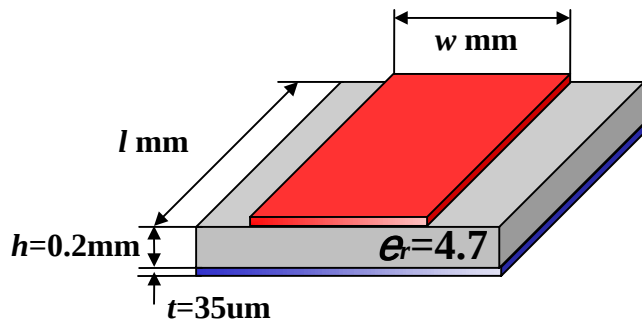
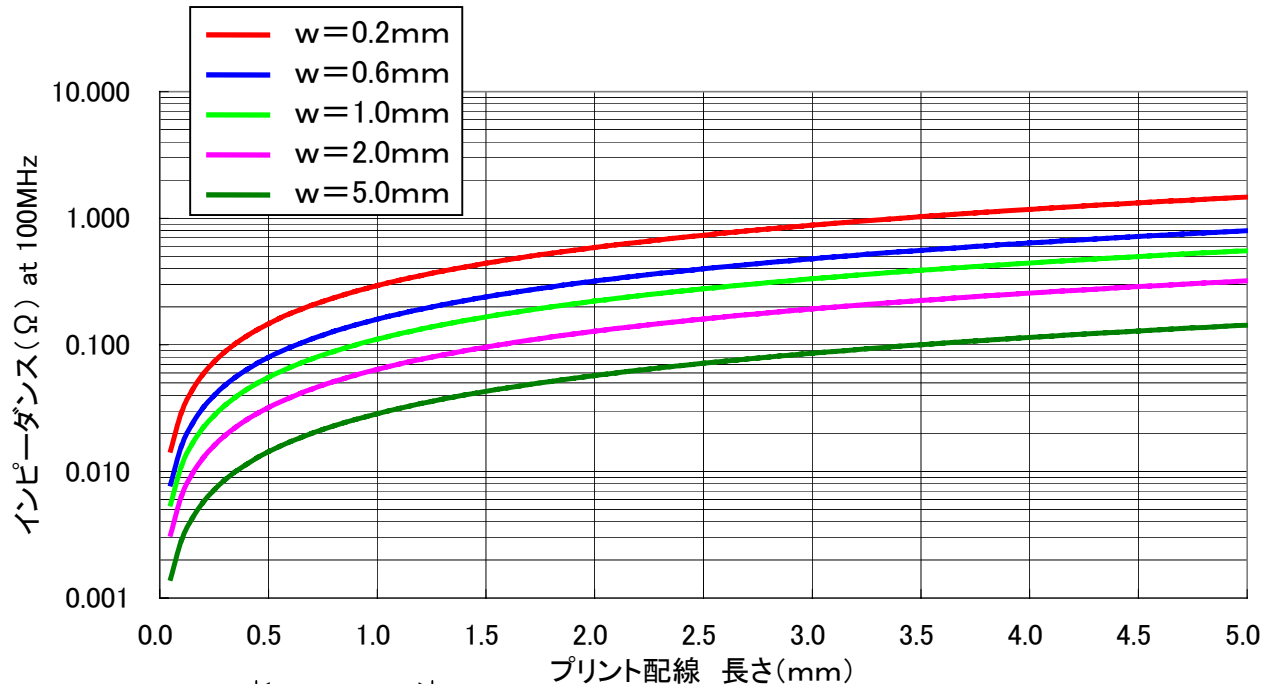
V_{IC} : リップル電圧

- 電源ライン周辺のインピーダンスの概算

一般的な基板の電源ライン周辺のインピーダンス
がどの程度の大きさであるのか概算します

3. 電源ライン周辺のインピーダンス ～プリント配線のインピーダンス～

プリント配線のインピーダンス: Z_2, Z_5

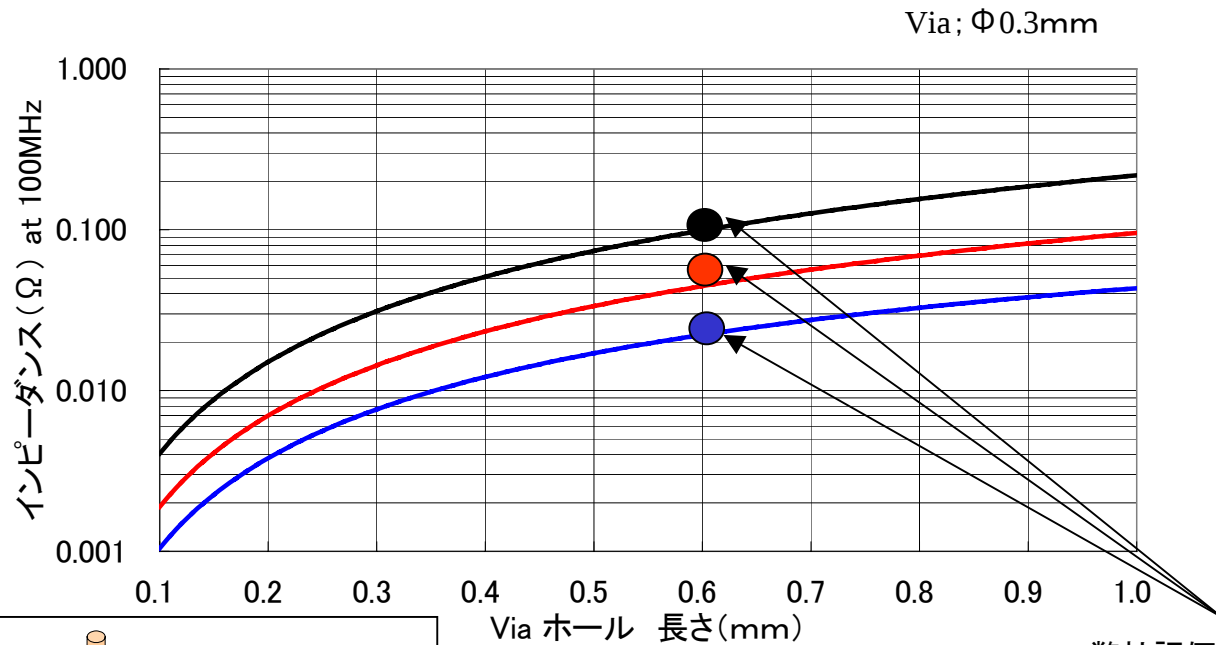


パターンの幅 W が短いほど、
長さ l が短いほどインピーダンスは低くなる

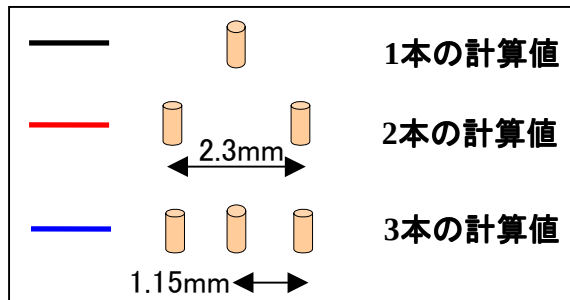
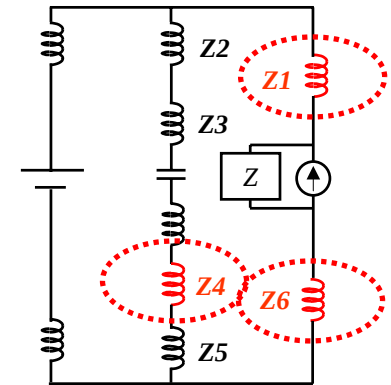
*終端条件はショート(コンデンサを仮定)

3. 電源ライン周辺のインピーダンス ～ビアホールインピーダンス～

ビアホールインピーダンス: Z_1, Z_4, Z_6



弊社評価基板測定値



ビアホールの長さが短いほど、
本数が多いほどインピーダンスは小さくなる

3. 電源ライン周辺のインピーダンス ～バイパスコンデンサのインピーダンス～

バイパスコンデンサのインピーダンス: Z_3



L: 1608サイズ
 $1\mu\text{F}$ の場合

0.36Ω

L: 1005サイズ
 $1\mu\text{F}$ の場合
 0.2Ω



1608サイズ
 $1\mu\text{F}$ の場合

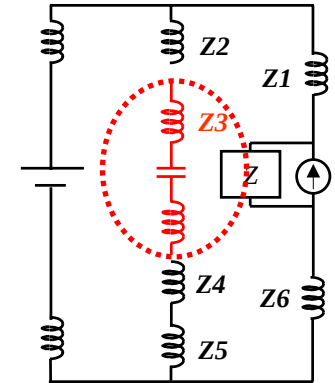
0.03Ω



1608サイズ
 $1\mu\text{F}$ の場合

0.005Ω

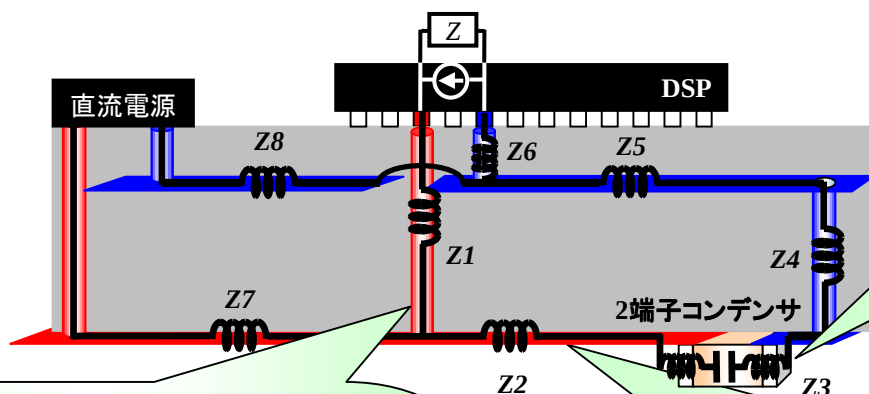
at 100MHz



3端子コンデンサのESLは2端子コンデンサ
と比較して低い

3. 電源ライン周辺のインピーダンス

～2端子コンデンサを使用した場合の電源ラインのインピーダンスの例～



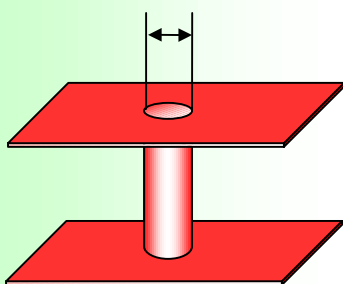
2端子コンデンサ

100MHzのZ
 $Z_3=0.36\Omega$



ビアホール

$F=0.3\text{mm}$



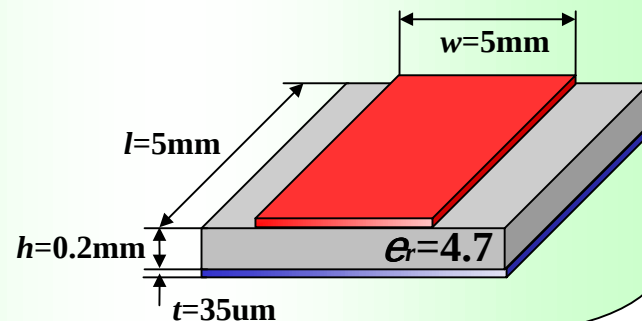
基板厚0.8mm
ビア径0.3mm

100MHzのZ
 $Z_1+Z_4+Z_6=0.3\Omega$

プリント配線

電極幅 5mm
線路長さ5mm

100MHzのZ
 $Z_2+Z_5=0.15\Omega$



電源ラインのインピーダンスの和

電流が分流して合流するまでのインピーダンスの和

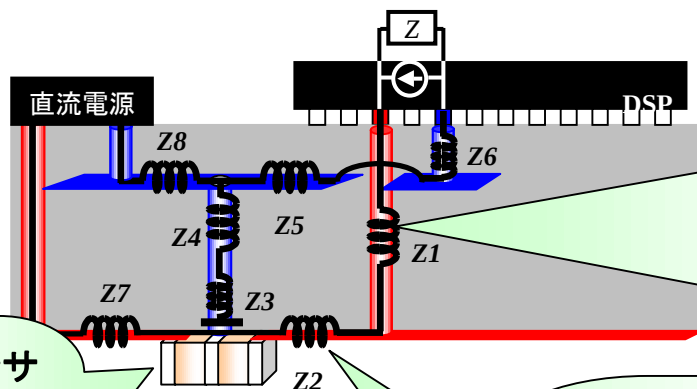
$$\sum_{i=1}^6 Z_i = 0.81\Omega$$

$$\frac{1}{G_{BC}} = \sum_{i=2}^5 Z_i = 0.65\Omega$$

3. 電源ライン周辺のインピーダンス

～2端子コンデンサを使用した場合の電源ラインのインピーダンスの例～

muRata

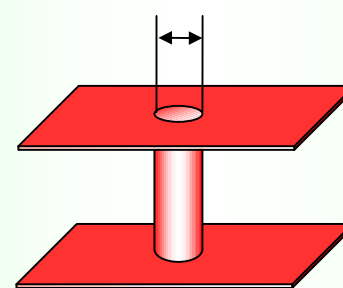


ビアホール

$F=0.3\text{mm}$

基板厚0.8mm
ビア径0.3mm

100MHzのZ
 $Z_1+Z_4+Z_6=0.3\Omega$



2端子コンデンサ

100MHzのZ
 $Z_3=0.005\Omega$



電源ラインのインピーダンスの和

$$\sum_{i=1}^6 Z_i = 0.455\Omega (0.81\Omega)$$

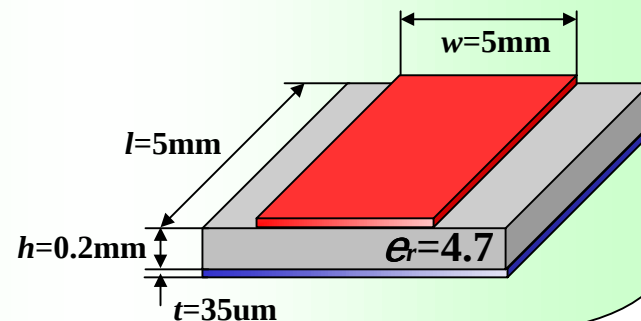
電流が分流して合流するまでのインピーダンスの和

$$\frac{1}{G_{BC}} = Z_3 + Z_4 = 0.14\Omega (0.65\Omega)$$

電極幅 5mm
線路長さ5mm

100MHzのZ
 $Z_2+Z_5=0.15\Omega$

プリント配線



3端子コンデンサを使用することで電源ラインのインピーダンスを下げるができます

*()内は2端子コンデンサを使用した場合のインピーダンス

- DSP電源ライン評価基板の紹介

実機評価のために作成した2種類の評価基板を紹介します

評価に使用したDSP



- TMS320C55x™DSPコアとRM926EJ-Sプロセッサを組み合わせたデュアルコアプロセッサ
- 駆動周波数192MHz
- C55xは音声や画像のデジタル処理を、ARMでは汎用OS処理を行う
- USB、イーサネット、フラッシュメモリ、DDRメモリなどのインターフェイスを備えている

OMAP5912

(Open Multimedia Application Platform)

評価の目的

- 3端子コンデンサのノイズ除去効果の確認
- 電源パターンの構成の違い（インピーダンス $Z_1 \sim Z_6$ の違い）がリップル電圧、ノイズ除去効果に与える影響を確認



2種類の評価基板を作成

4. DSP電源ライン評価基板の紹介 ～評価基板①の特徴～

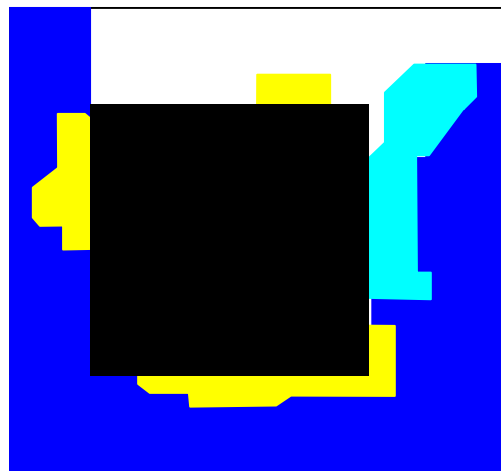
評価基板①の特徴

■ CORE電源

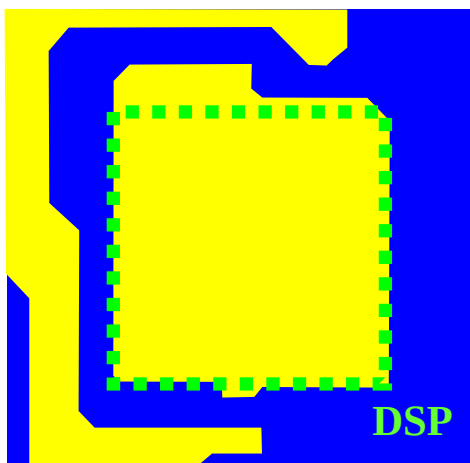
■ SDRAM電源

■ 3V3電源

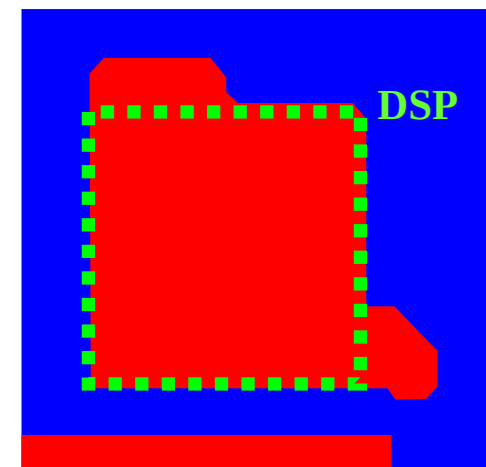
■ GND



L1層(表層)



L4層



L5層

特徴:

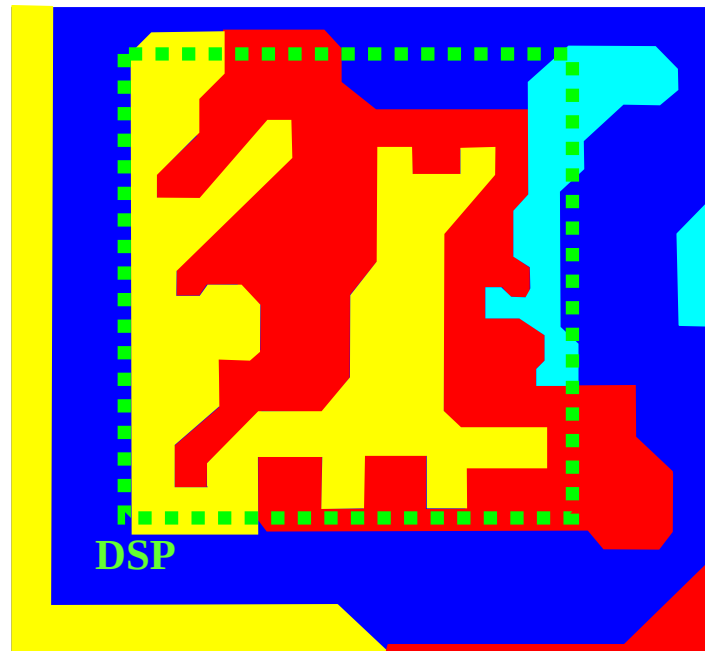
- ・電源ピンの多いCORE、3V3電源はベタパターンにしています。(Z₂, Z₅が低下)
- ・SDRAM電源は表層に電源パターンをレイアウトしています。(Z₁, Z₄, Z₆が低下)
- ・3V3電源の一部の電源パターンを表層にレイアウトしています。(Z₂, Z₅が低下)

効果:

Σ Z_i (i=1~6) が小さくなります

4. DSP電源ライン評価基板の紹介 ～評価基板②の特徴～

評価基板②の特徴



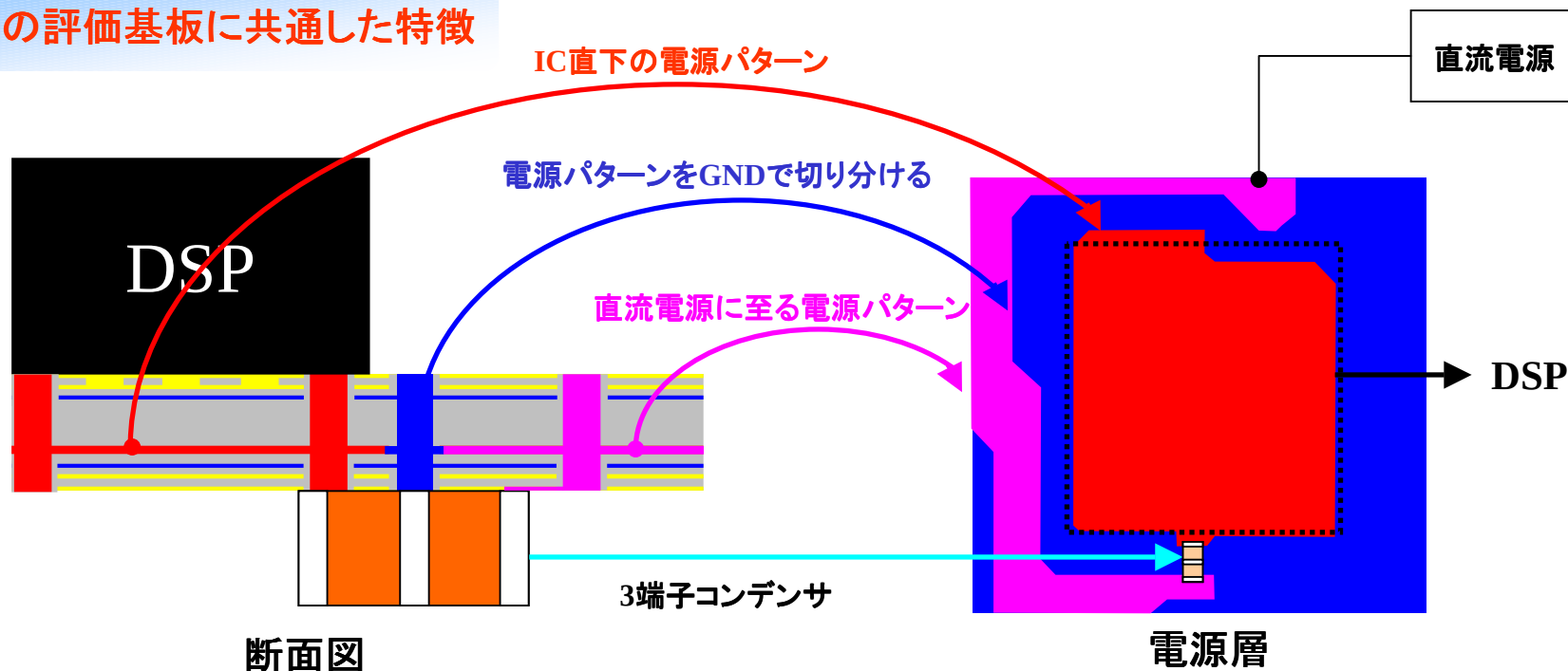
- CORE電源
- 3V3電源
- SDRAM電源
- GND

特徴:
全ての電源パターンを一つの電源プレーンに形成しています。

効果
評価基板①と比較すると Z_2, Z_5 が高くなります

4. DSP電源ライン評価基板の紹介 ～評価基板に共通した特長～

2種類の評価基板に共通した特徴



IC直下の電源パターンと直流電源に至る電源パターンを3端子コンデンサを介して接続しています。

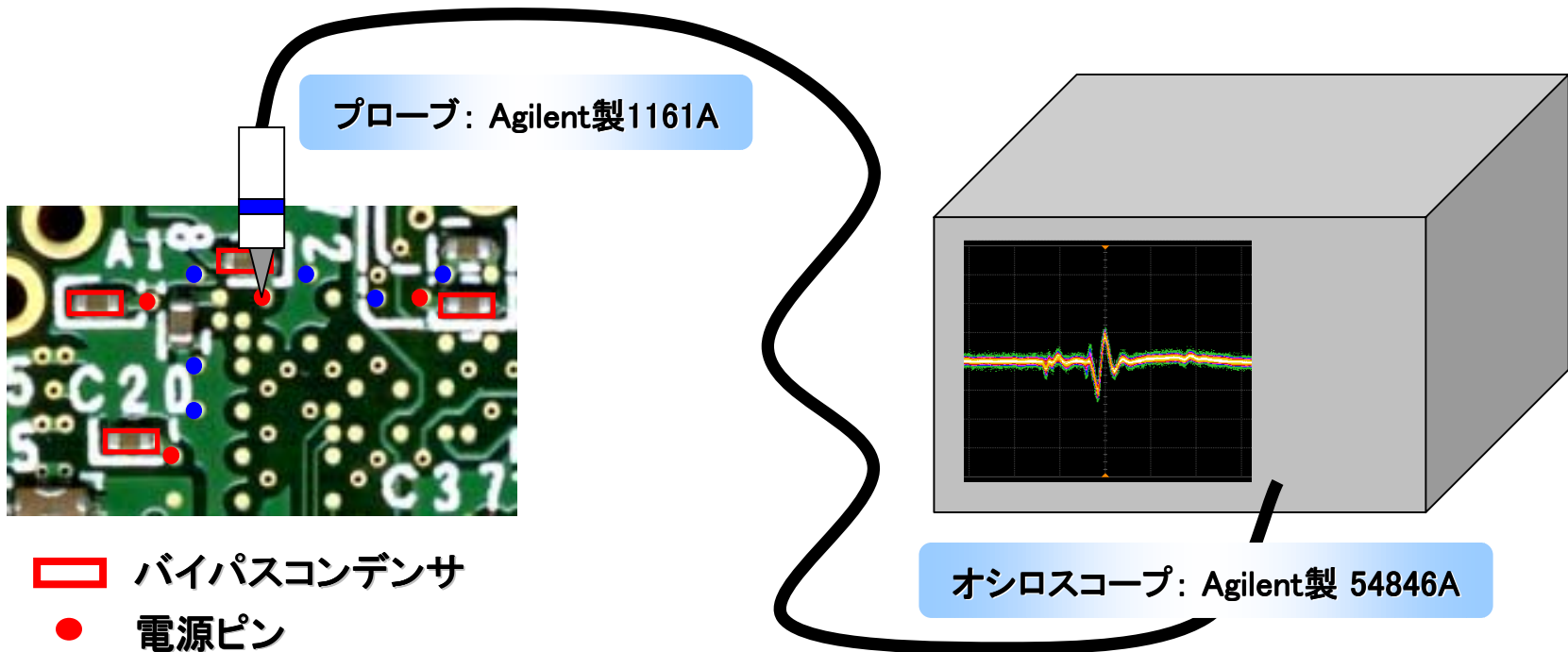
効果

- 電源ラインノイズが他の回路に流れ出るためには3端子コンデンサを通らなければなりません。
- 3端子コンデンサのESLはとて低いため電源ラインノイズをIC直下の電源パターンに隔離することができます

5. リップル電圧の評価結果

5. リップル電圧の評価結果 ～測定方法～

リップル電圧の評価方法



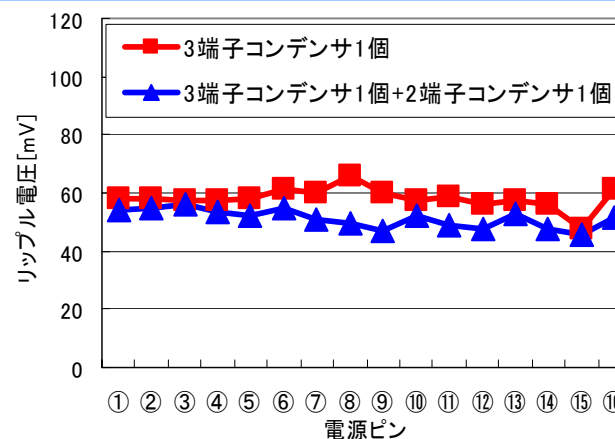
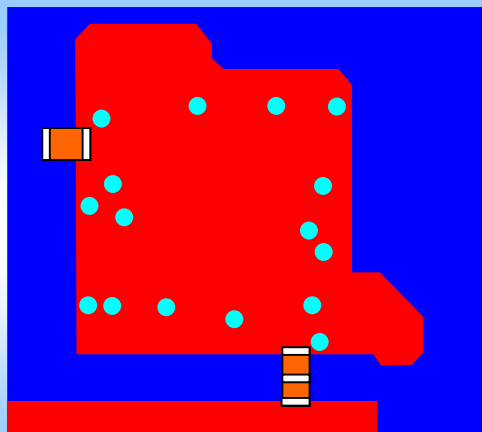
各電源ピンの電圧を
オシロスコープにより評価しました

5. リップル電圧の評価結果 ～CORE電源の評価結果～

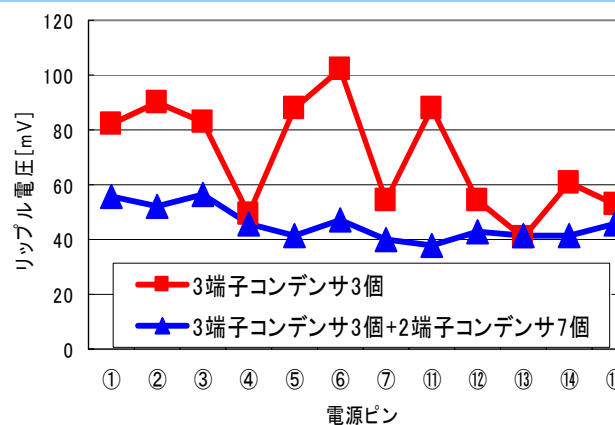
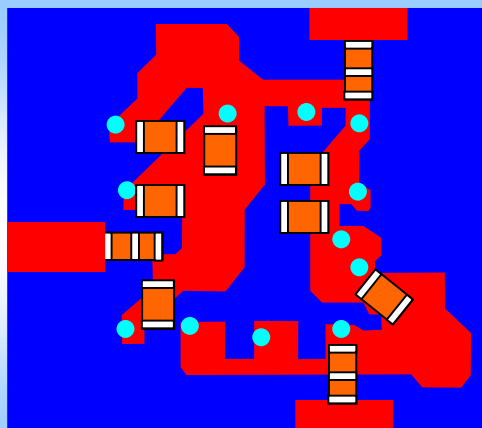
CORE電源のリップル電圧の測定結果

- 電源ピン
- CORE電源 ■ GND
- 2端子コンデンサ (0.1uF積層コンデンサ) ■ 3端子コンデンサ (NFM18PS474)

評価基板①



評価基板②

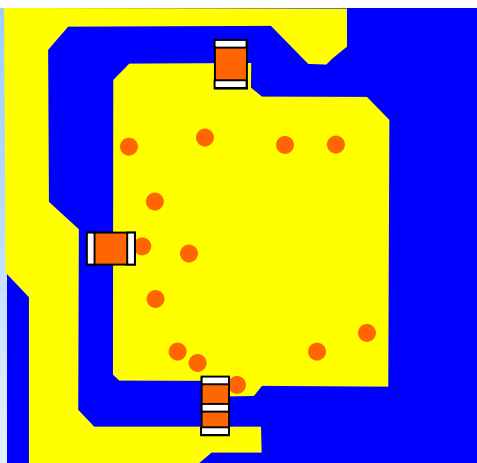


評価基板①の方が少ないバイパスコンデンサで電源電圧が安定しています

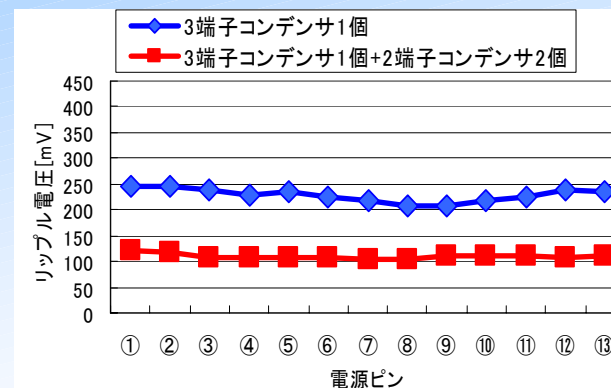
5. リップル電圧の評価結果 ～3V3電源の評価結果～

3V3電源のリップル電圧の測定結果

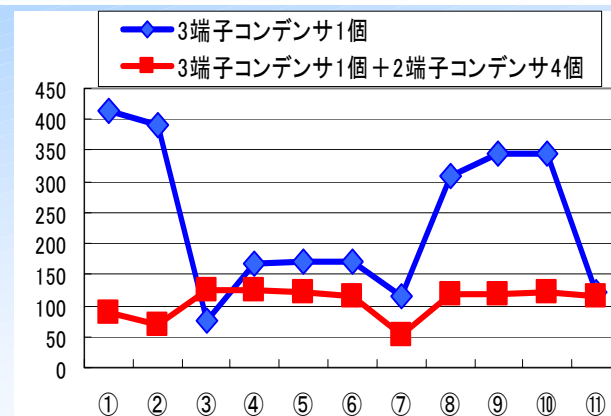
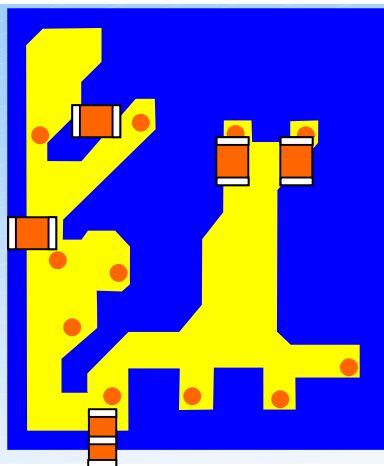
評価基板①



- 電源ピン
- 3V3電源
- GND
- 2端子コンデンサ (0.1uF積層コンデンサ)
- 3端子コンデンサ (NFM18PS474)



評価基板②



評価基板①の方が少ないバイパスコンデンサで電源電圧が安定しています

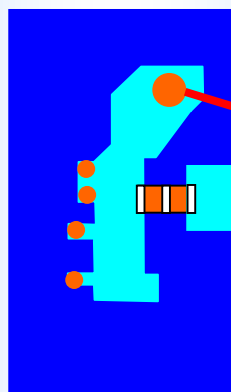
5. リップル電圧の評価結果 ～SDRAM電源の評価結果～

SDRAM電源のリップル電圧の測定結果

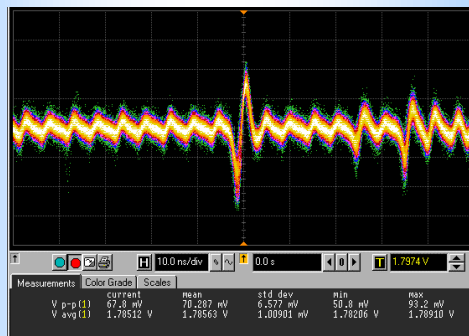
SDRAM電源 GND

● 電源ピン 2端子コンデンサ (0.1uF積層コンデンサ) 3端子コンデンサ (NFM18PS474)

評価基板① 表層にレイアウト

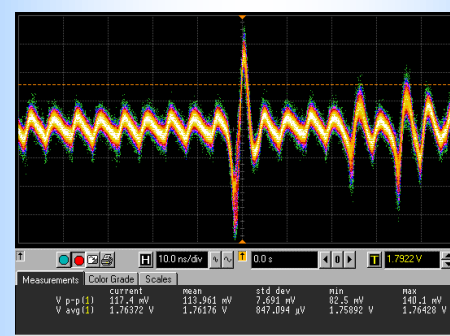
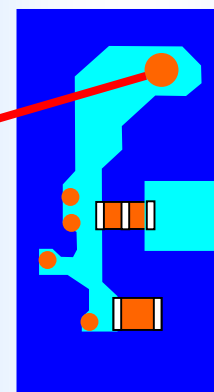


リップル電圧
評価位置



3端子コンデンサ1個
リップル電圧は93mV

評価基板② L4層にレイアウト



3端子コンデンサ1個、2端子コンデンサ1個
リップル電圧140mV

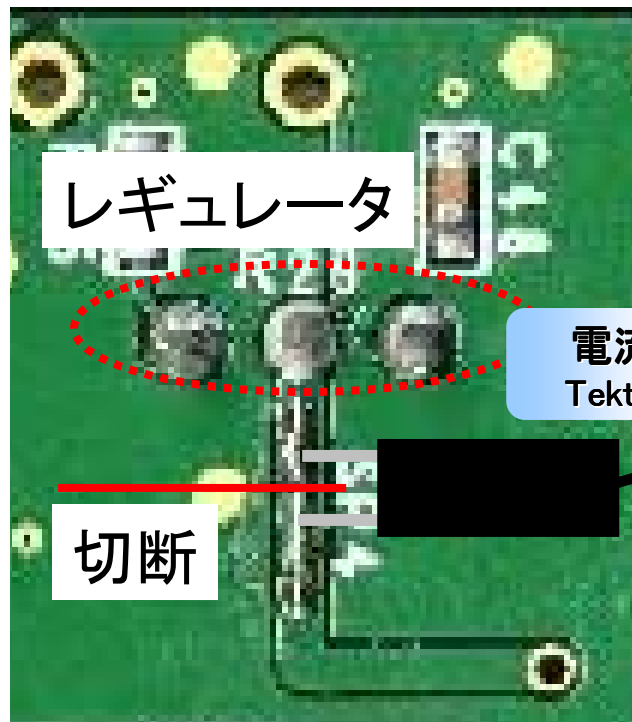
表層に電源パターンをレイアウトした評価基板①の方が少ない
バイパスコンデンサで電源電圧が安定しています

6. 電源ラインノイズ評価結果

6. 電源ラインノイズの評価結果

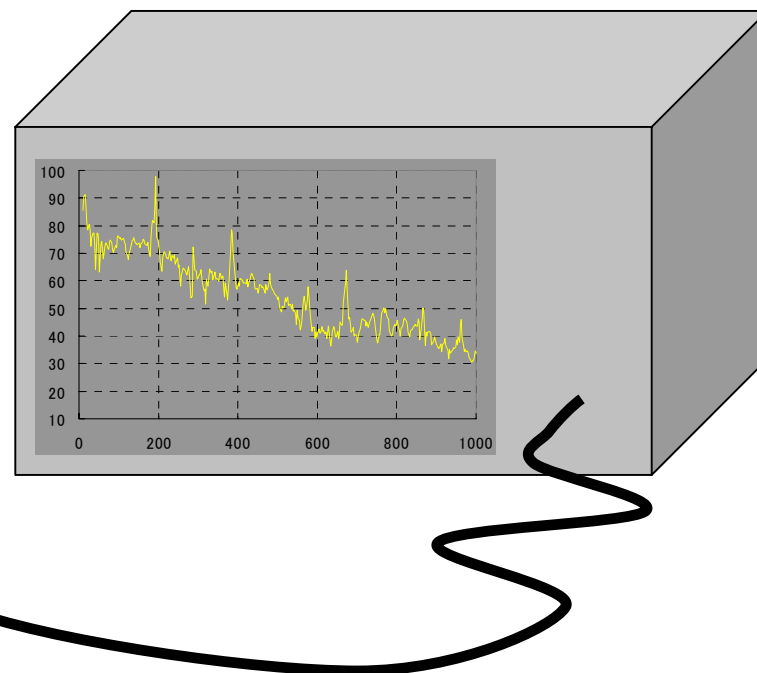
～測定方法～

電源ラインノイズ評価方法



電流プローブ
Tektronix製CT6

スペクトラムアナライザ
Agilent製E4404B(9kHz~6.7GHz)



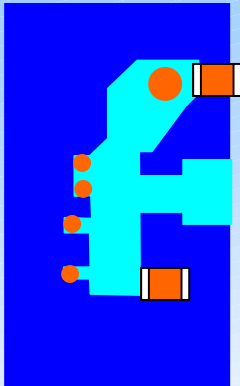
各電源ラインの電源ラインノイズ電流を
電流プローブとスペクトラムアナライザにより評価しました

6. 電源ラインノイズの評価結果 ～SDRAM電源の評価結果～

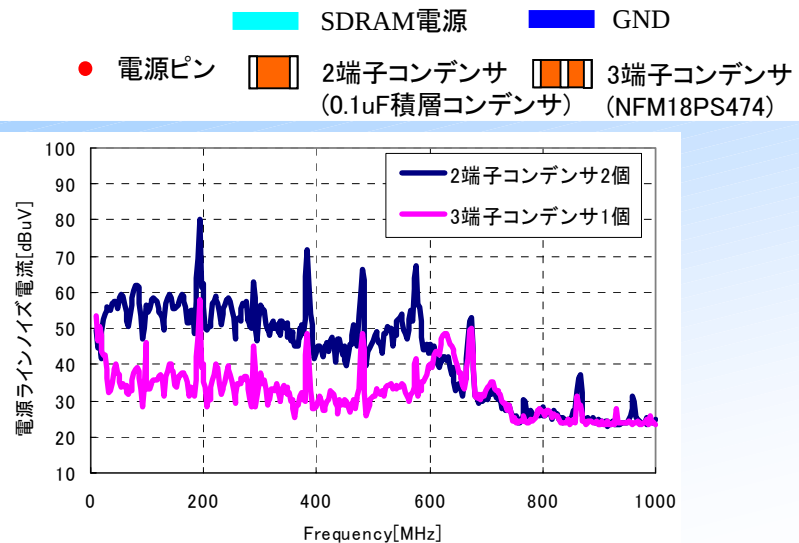
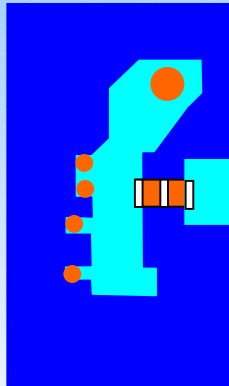
SDRAM電源の電源ラインノイズ評価結果

評価基板①

2端子コンデンサで対策

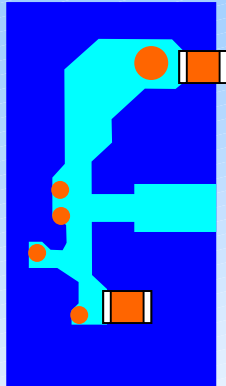


3端子コンデンサで対策

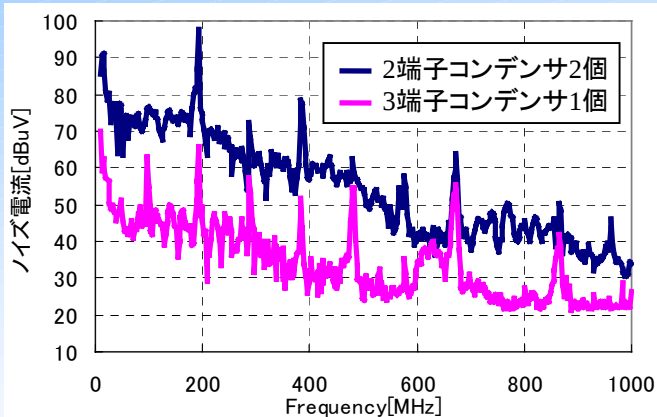
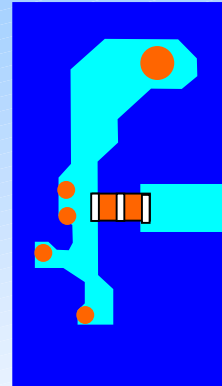


評価基板②

2端子コンデンサで対策

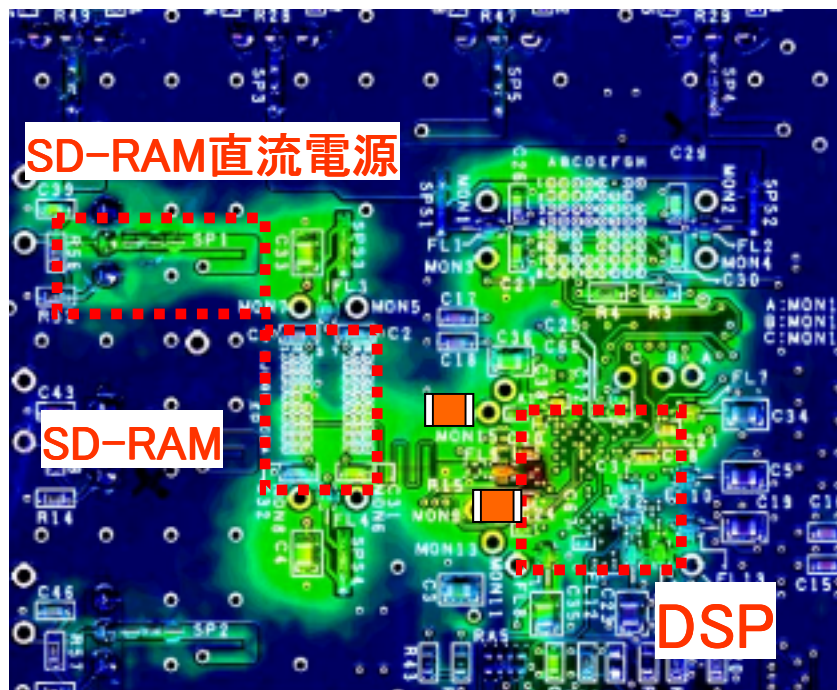


3端子コンデンサで対策

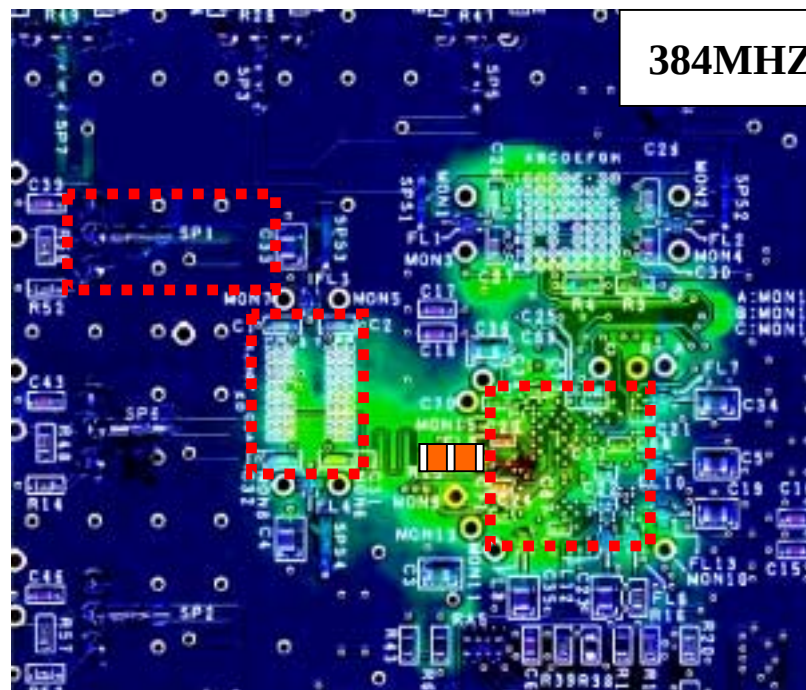


3端子コンデンサを使用することでどちらの評価基板の電源ラインノイズも抑制することができます

- 電源ラインノイズの評価結果
～近傍磁界分布によるノイズ除去効果の確認～



2端子コンデンサ2個で対策



3端子コンデンサ1個で対策

3端子コンデンサで対策した方が、ICにより発生した
ノイズ電流が外に漏れ出ないことがわかります。

* 評価基板①の評価結果



日立ディスプレイデバイス製
EMV-200を使用

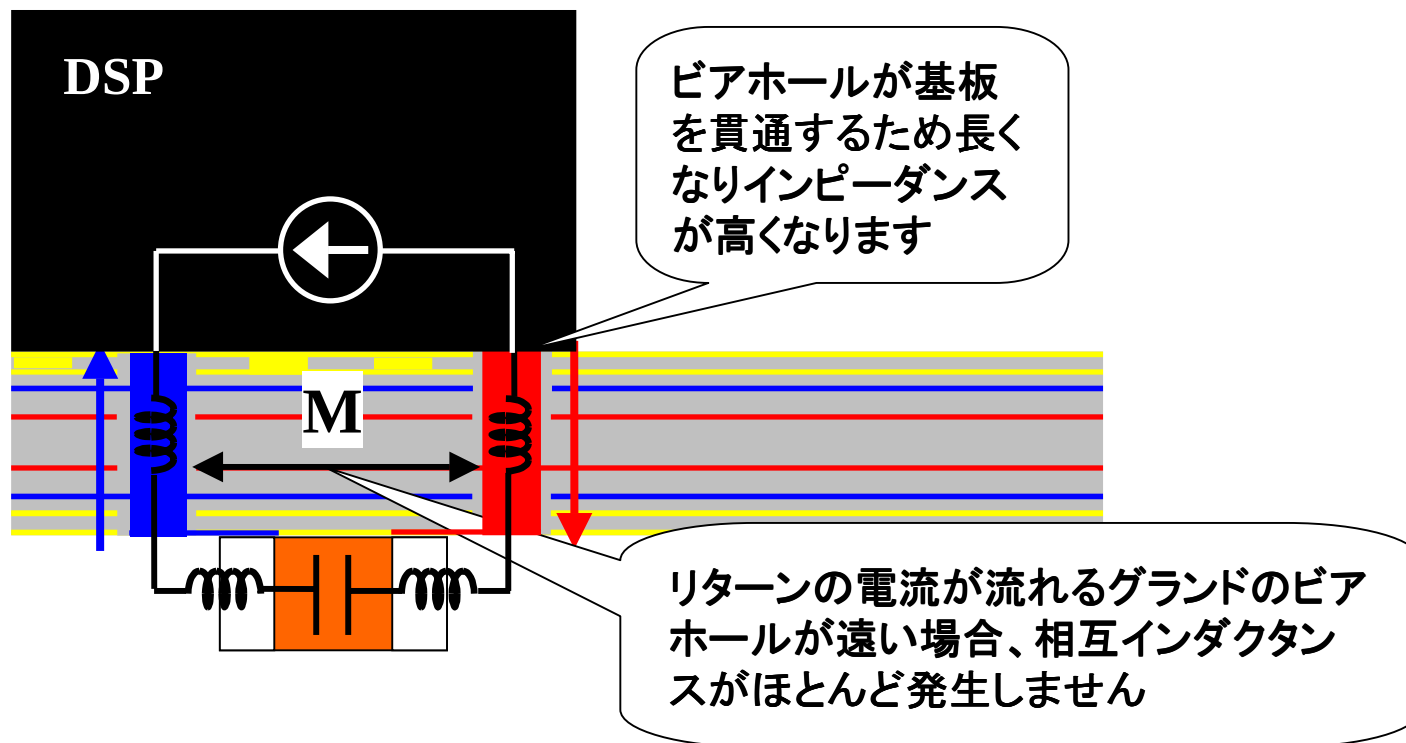
- ビアホールインピーダンス低減方法

電源ラインのインピーダンスの多くを占めるビアホールの
インピーダンスを低減する方法の提案

- ビアホールインピーダンス低減方法
～パスコンを裏面に実装した場合の問題点～

バイパスコンデンサを裏面に実装した場合

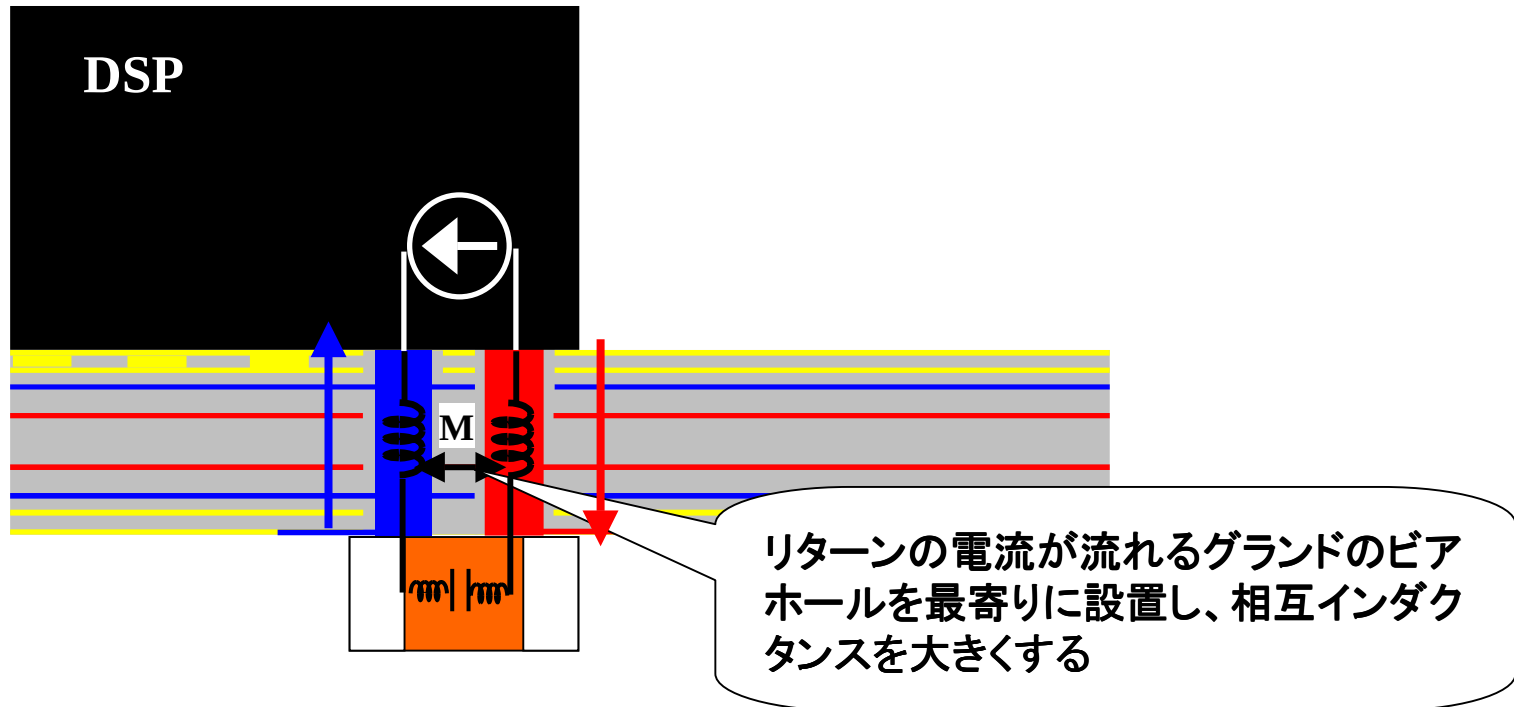
信号レイヤ
電源レイヤ
GNDレイヤ



パスコンを裏面に実装した場合、ビアホールインピーダンスが高くなりリップル電圧、電源ラインノイズに悪影響を及ぼす可能性があります

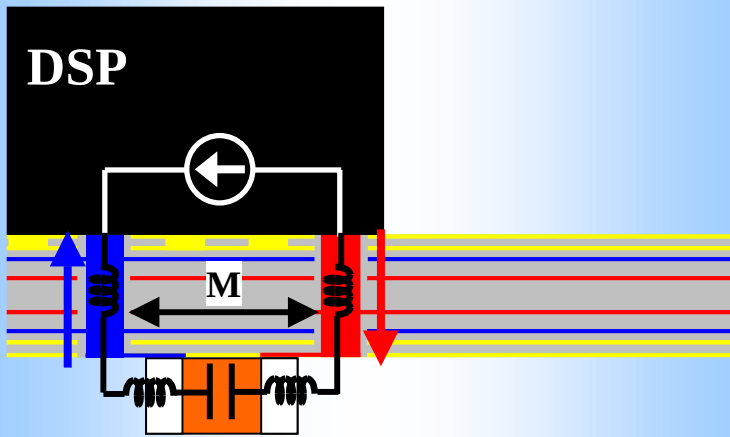
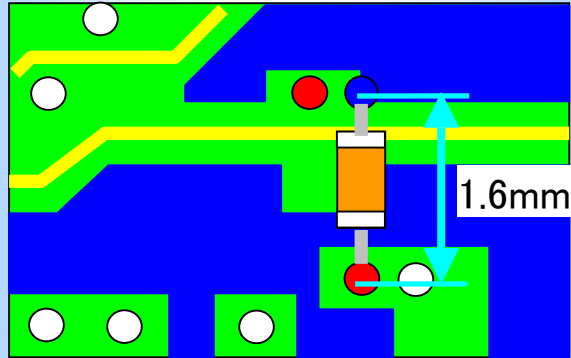
7. ビアホールインピーダンス低減方法

ビアホールインピーダンス低減方法

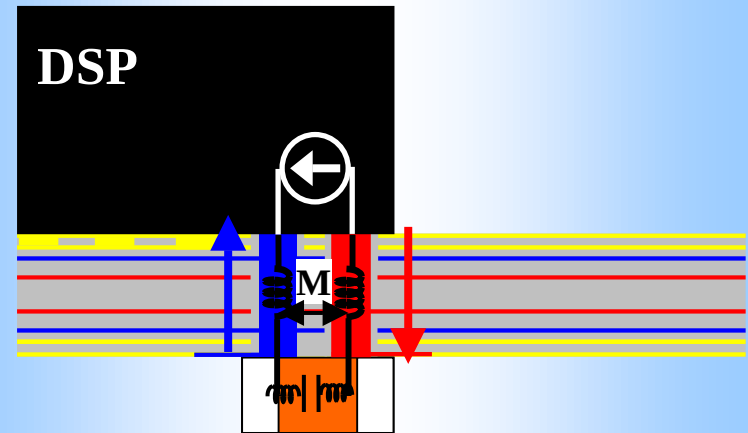
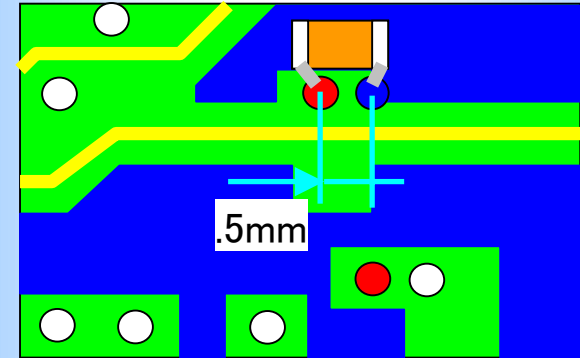


電源ピンのビアホールの最寄りにリファレンスとなるグラウンドのビアホールを設置することでビアホールのインピーダンスを低減することができます

7. ビアホールインピーダンス低減方法 ～実施例～

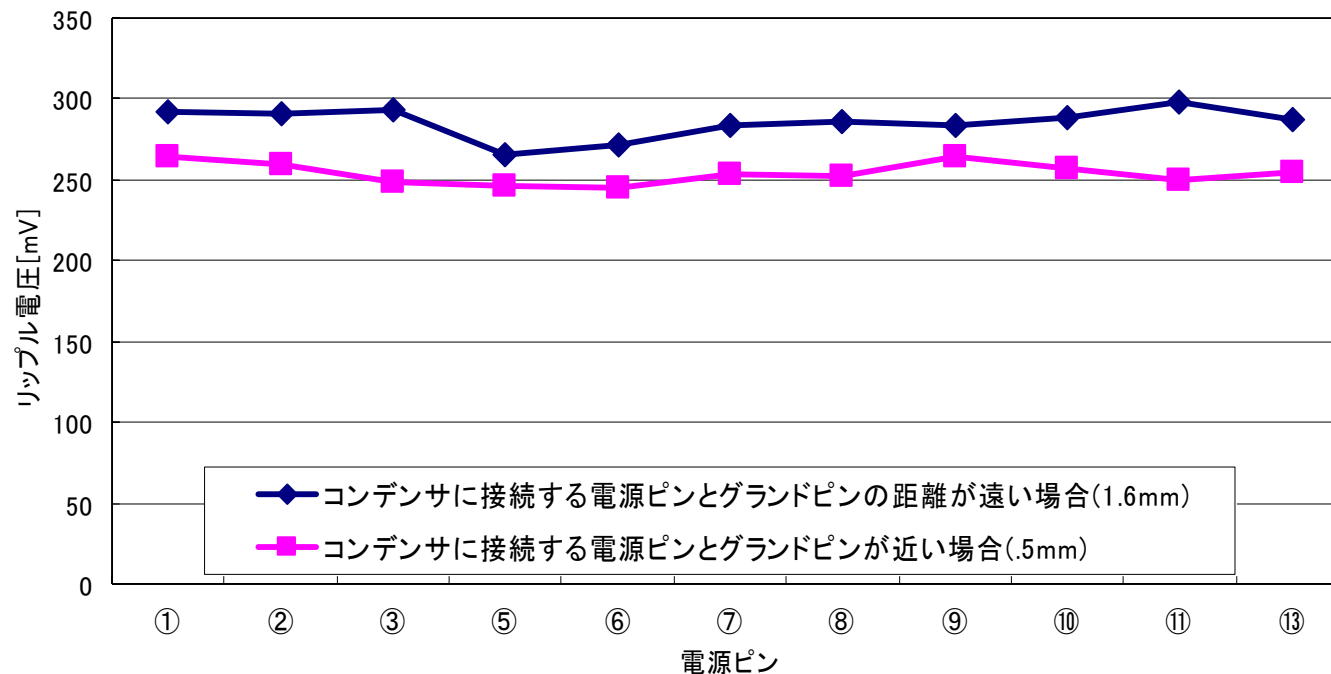


自己LによるビアホールのZ: $0.32\ \Omega$
相互LによるビアホールのZ: $-0.04\ \Omega$
合計のビアホールのZ: $0.28\ \Omega$



自己LによるビアホールのZ: $0.32\ \Omega$
相互LによるビアホールのZ: $-0.14\ \Omega$
合計のビアホールのZ: $0.18\ \Omega$

7. ビアホールインピーダンスに関する考察 ～実施例～

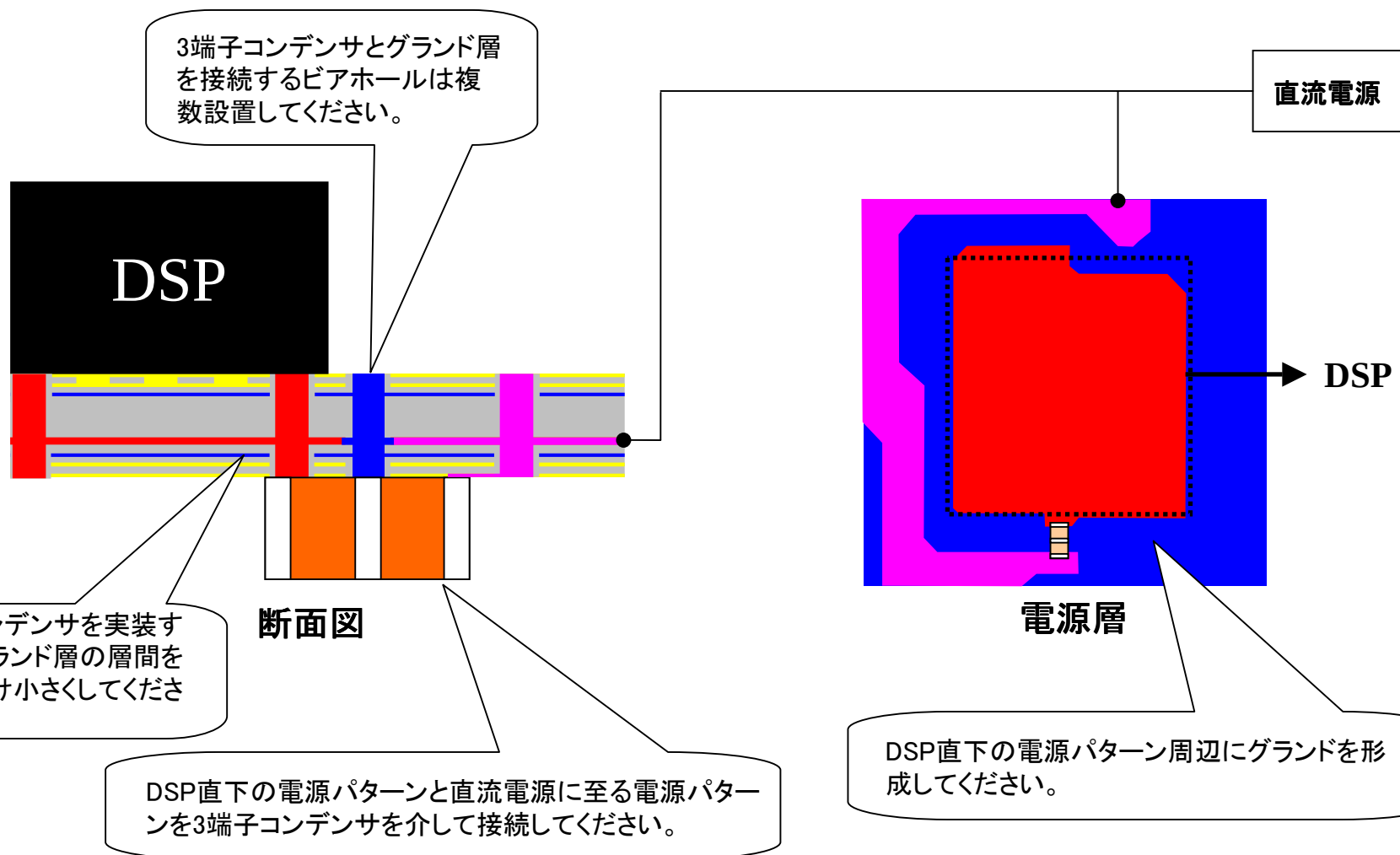


コンデンサに接続する電源ピンとグランドピンの距離を近くすることで、電源ラインのインピーダンスが低減し、リップル電圧が10%低減しました

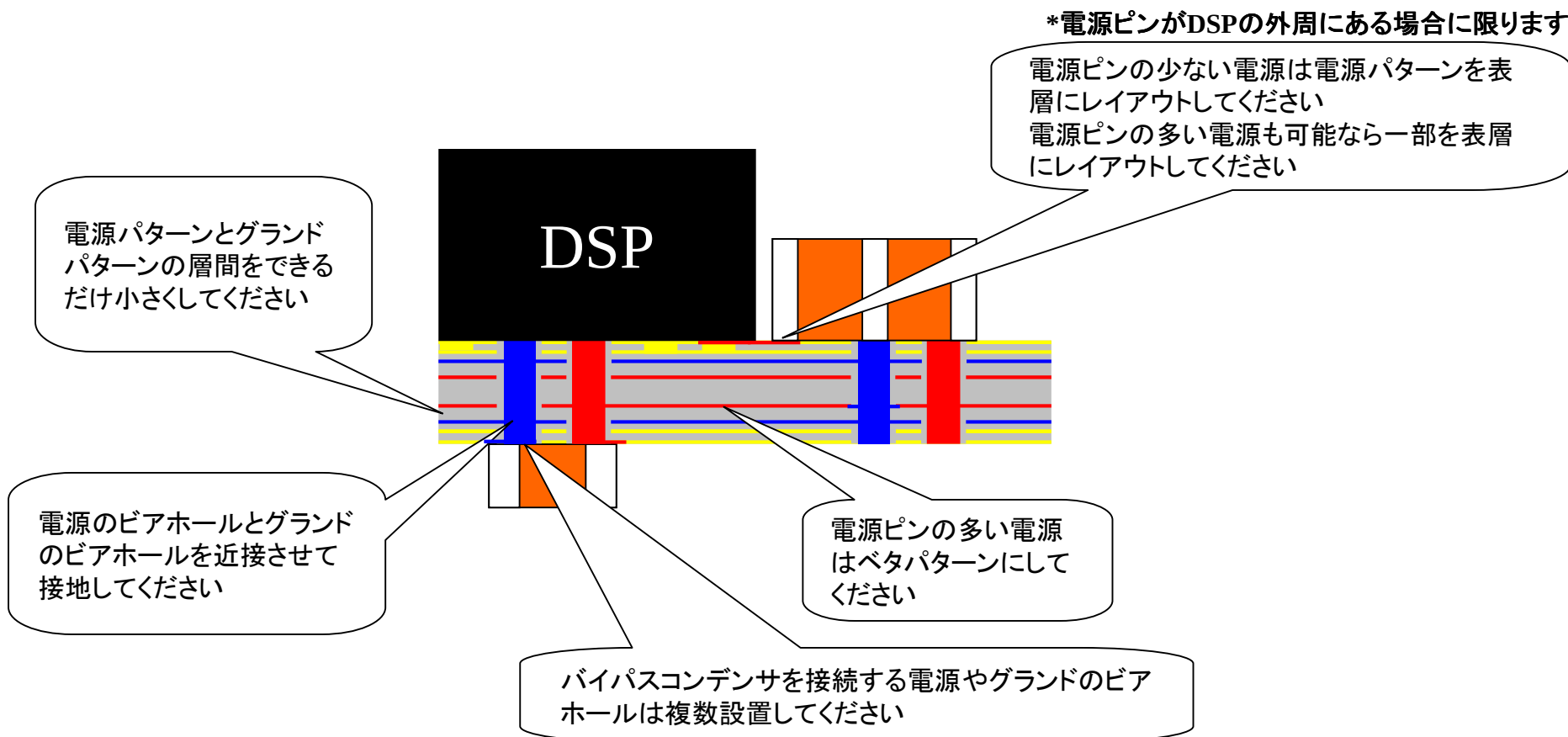
- まとめ

電源ラインノイズ、リップル電圧を低減するための
電源パターンのレイアウト方法を提案します

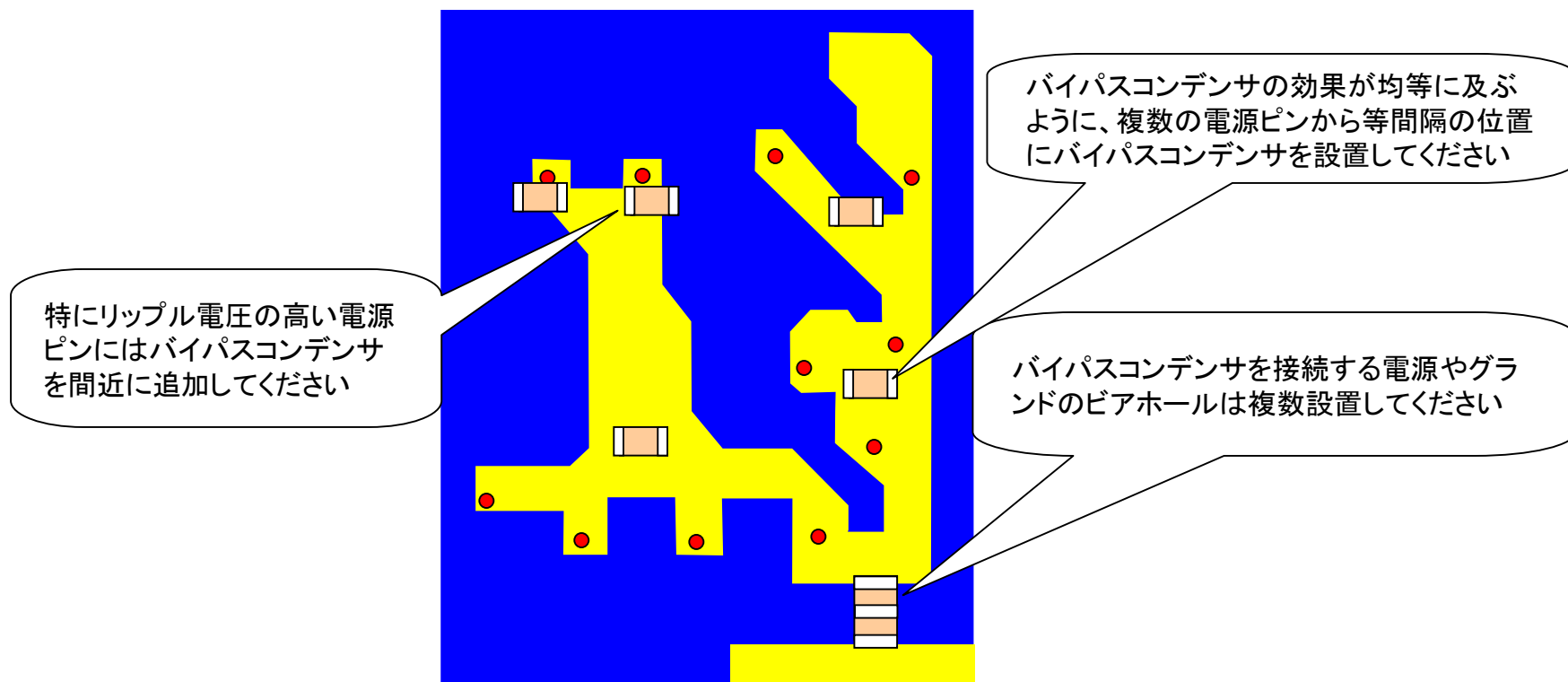
電源ラインノイズを低減するための電源パターンのレイアウト方法



リップル電圧を低減するための電源パターンのレイアウト方法 ～ 電源パターンをベタパターンにすることができる場合～



リップル電圧を低減するための電源パターンのレイアウト方法 ～ 電源パターンをベタパターンにすることができない場合～



補足資料： 3端子コンデンサの利点

3端子コンデンサのESLが小さい理由を説明します

1. 2箇所のグラウンド電極
によりESLが半減します

3. 電源プレーンを拡散する
電流を絞り込むことで確実に
除去します

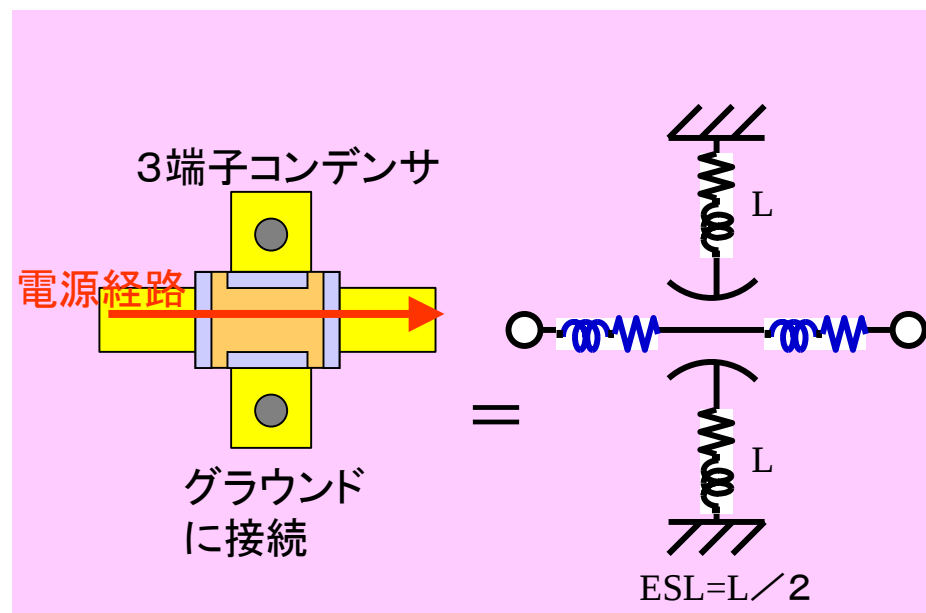
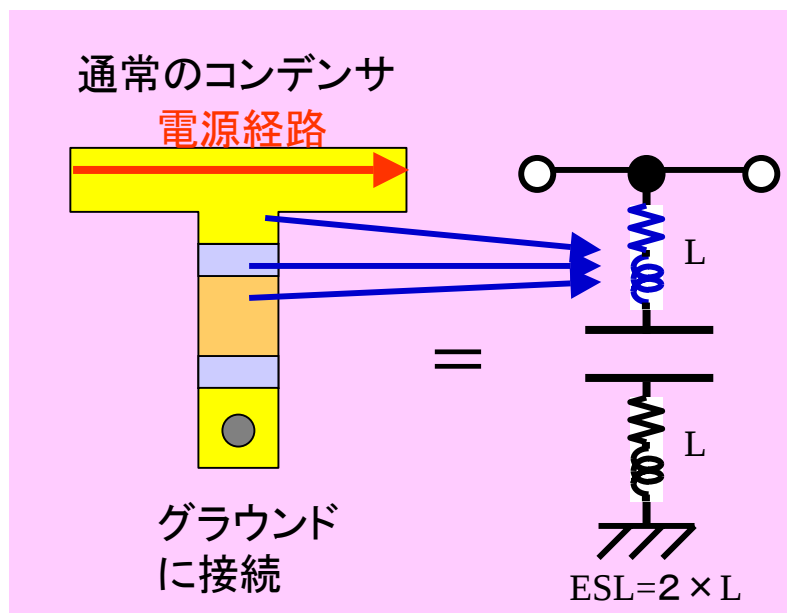
4. 貫通構造をとっているので
ESLが減少します

2. 左右に流れる電流の相互
作用により、ESLが減少しま
す

これらの理由のため3端子コンデンサは、2端子コンデンサ
よりESLが1桁～2桁低く、デカップリングに最適です！

補足: 1. 2箇所のグラウンド電極で、ESLを半減

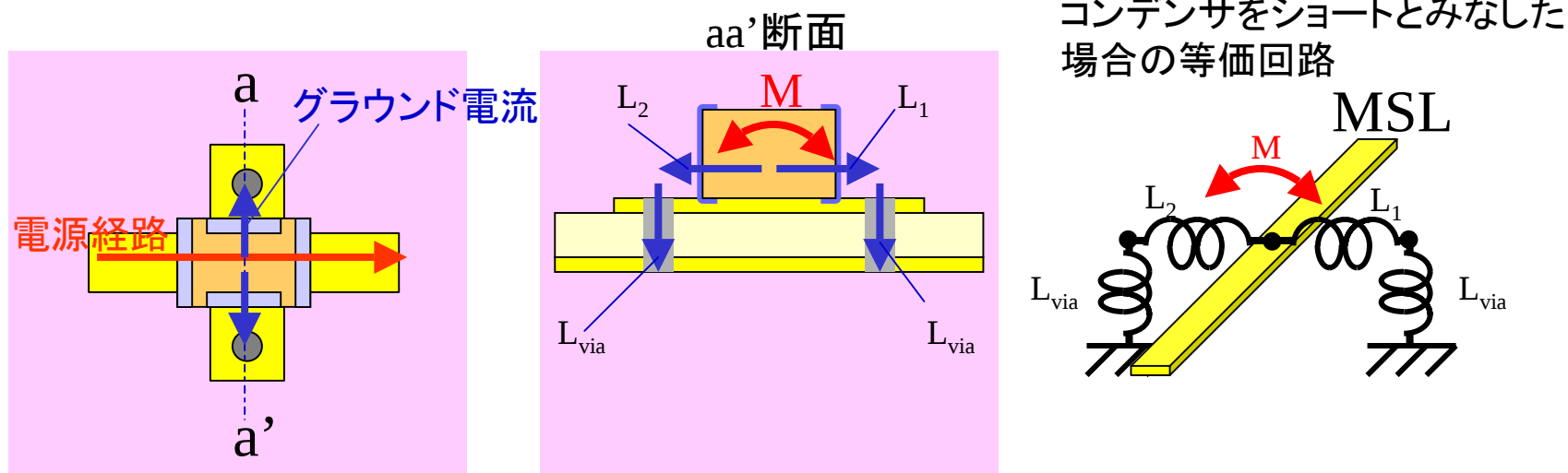
3端子コンデンサにはグラウンド電極が左右に2箇所ありますので並列効果によりESLは半減します
このESLにはコンデンサの本体や電極、パターンやviaのインダクタンスが含まれているので、コンデンサ本体のESL削減効果に加えて、基板に起因するESLの削減も期待できます



以上によりESLが1/4になるので、挿入損失では約12dBの改善します

補足: 2. 左右に流れる電流の相互作用により、ESLが減少

左右2箇所のグランドに流れる電流は逆方向となりますので、相互誘導効果により、インダクタンスはさらに減少します



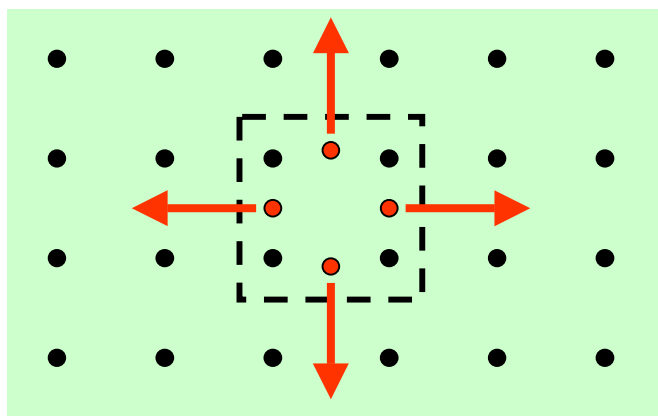
左右が完全に対称で $L_1=L_2$ であり、電流も等しいとしたときの合成ESL

$$ESL = \frac{L_1 - M + L_{via}}{2}$$

但し、 L_{via} どうしの相互誘導効果は無視している

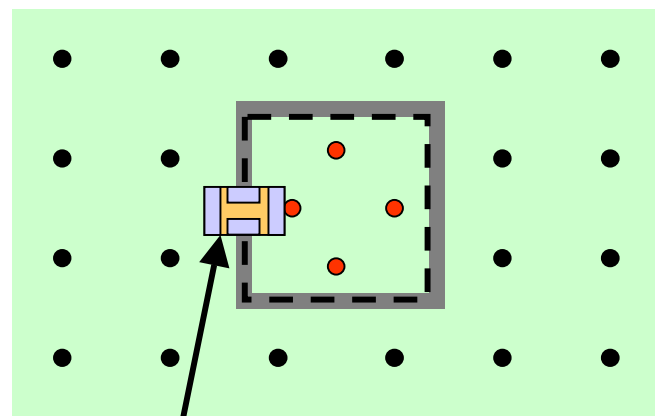
電流経路を3端子コンデンサ内部に強制的に絞り込みますので
電源プレーン上のノイズの拡散防止に有効です

積層コンデンサを拡散配置する場合



- :コンデンサ搭載位置
- :マイコンの電源端子

3端子コンデンサを用いる場合

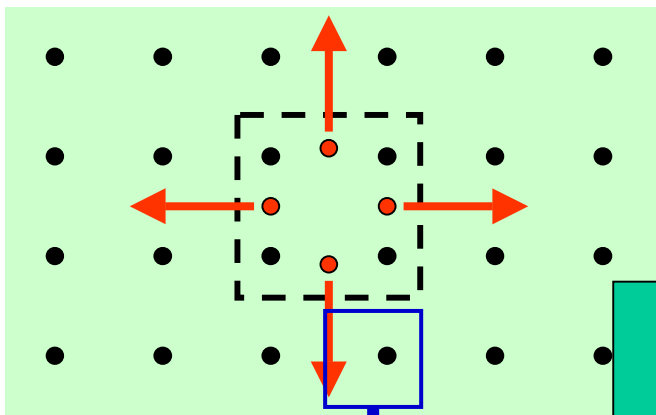


- :コンデンサ搭載位置
- :マイコンの電源端子

3端子コンデンサ

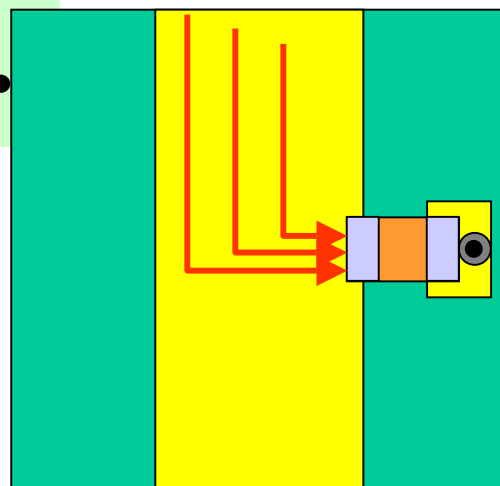
電源プレーンを内外に区分し、3端子コンデンサを通して接続することにより、電流の拡散を防止できます

補足: 3. 電源プレーンを拡散する電流も絞り込んで確実に除去



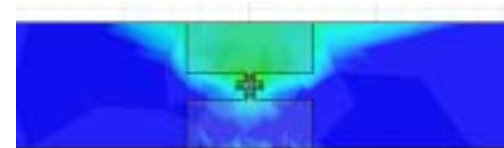
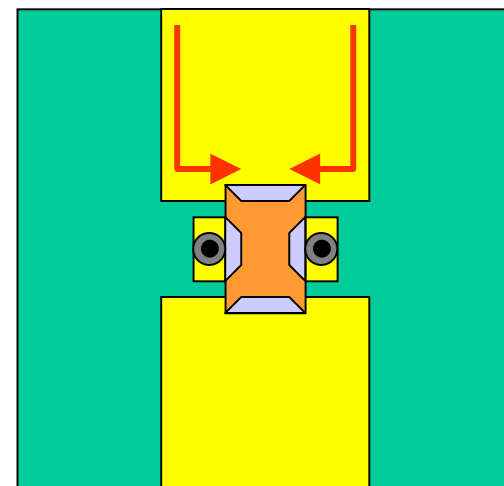
幅の広いマイクロ
ストリップ線路の
デカップリング

この部分を抜き出し
てモデル化し、電磁
界シミュレーションを
行いました



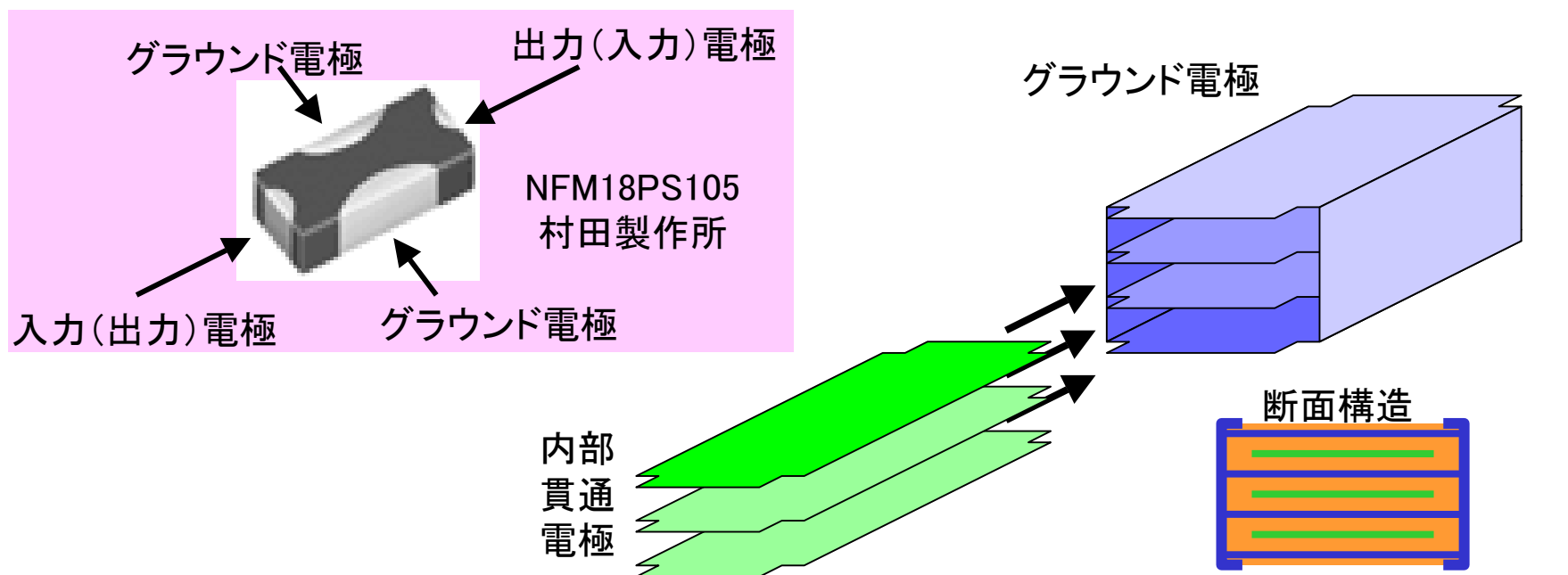
平面を伝搬するノイズは通常の
コンデンサでは集めきれません

3端子コンデンサを使うと



電流は3端子コンデンサに絞り込
まれて確実に除去できます

3端子コンデンサの構造(模式図)



複数の矩形同軸線路を束ねた構造となっている
内部貫通電極を流れる電流による磁界はグラウンド電極により
閉じこめられるので、インダクタンスは極めて小さくなる

積層型3端子コンデンサでは貫通構造とすることにより
コンデンサ本体のインダクタンスが小さくなっている

NFM18PS474 とNFM18PC474 と積層コンデンサ (2端子) との挿入損失特性比較

(50 ohm - 50 ohm)

